

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-274789

(43)公開日 平成10年(1998)10月13日

(51)Int.Cl.<sup>6</sup>G 0 2 F 1/136  
1/1343H 0 1 L 29/786  
21/336

識別記号

5 0 0

F I

G 0 2 F 1/136  
1/1343

H 0 1 L 29/78

5 0 0

6 1 2 C

6 1 3 Z

6 1 6 K

審査請求 未請求 請求項の数10 FD (全 11 頁) 最終頁に続く

(21)出願番号

特願平9-95069

(22)出願日

平成9年(1997)3月28日

(71)出願人 000153878:

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 尾形 靖

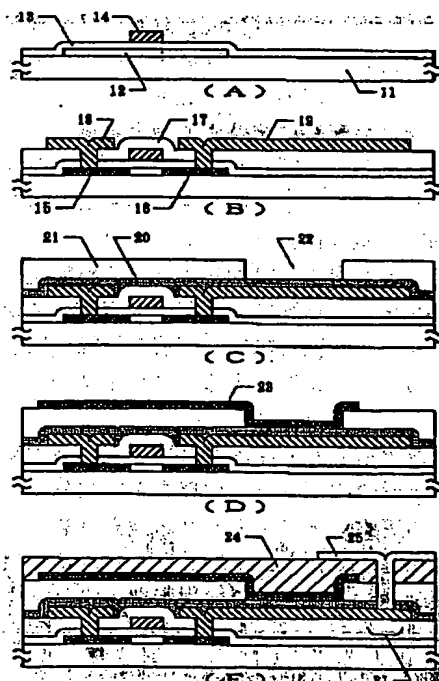
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 トップゲイト型もしくはボトムゲイト型の薄膜トランジスタトランジスタ (T F T) を用いたアクティブマトリクス型液晶表示装置において、画素の補助容量の形成方法に関する新規な構造を提供する。

【解決手段】 ソースライン18と、それと同一層内の金属配線19を覆って、窒化珪素の如き誘電率の高い第1の絶縁性薄膜20を形成し、さらにその上に平坦性に優れた第2の絶縁膜21を形成する。そして、第2の絶縁膜21をエッチングして、開孔部22を設け、第1の絶縁膜20を選択的に露出させる。この上に遮光膜として機能する導電性被膜23を形成し、これと金属配線19の間に絶縁膜20を誘電体とする容量を形成し、これを画素の補助容量とする。また、補助容量は液晶分子の配向乱れ (ディスクリネーション) の影響の大きな部分に選択的に設けることにより、実質的な開口率を向上できる。



(2)

## 【特許請求の範囲】

【請求項1】 画素電極の接続されたソース領域が接続された薄膜トランジスタと、  
前記薄膜トランジスタのドレインに接続されたソースラインと同一層上に形成されたドレイン電極と、  
を有し、

前記ドレイン電極は、前記薄膜トランジスタを構成する活性層の50%以上の面積を覆ったパターンを有し、  
前記ドレイン電極を利用して補助容量が形成されていることを特徴とするアクティブマトリクス型液晶表示装置

【請求項2】 スイッチング素子として薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置において、

ゲイトライン上に形成されたソースラインと、  
遮光膜として機能し、一定の電位に保持され、前記ソースラインと画素電極の中間の層にある導電性被膜と、  
ソースラインと前記導電性被膜との間に形成された層間絶縁物と、を有し、

前記層間絶縁物は、下層の絶縁物層上に、異種の材料よりなる上層の絶縁物層があり、  
前記層間絶縁物には、その上層の絶縁物層を選択的にエッチングすることによって得られた開孔部が設けられ、  
前記開孔部において、前記導電性被膜と、下層の金属配線を両電極とし、前記下層の絶縁物層を誘電体とする補助容量が形成されており、  
前記下層の金属配線は、ソースラインと同層で、かつ、ソースラインと物理的に絶縁し、薄膜トランジスタのドレインと画素電極との間にコンタクトを有することを特徴とする。

【請求項3】 薄膜トランジスタと、  
ゲイトライン上に形成されたソースラインと、  
前記薄膜トランジスタのドレインに接続し、前記ソースラインと同層の金属配線と、  
前記金属配線に接続する画素電極と、  
遮光膜として機能し、一定の電位に保持され、前記ソースラインと画素電極の中間の層にある導電性被膜と、  
前記導電性被膜と前記ソースラインとの間にあり、少なくとも2層の絶縁物層よりなる層間絶縁物と、を有し、  
前記導電性被膜は、前記金属配線と重なる部分において、前記層間絶縁物の下層の絶縁物層と接する部分を有することを特徴とするアクティブマトリクス型表示装置。

【請求項4】 請求項2もしくは請求項3において、層間絶縁物の下層は窒化珪素を主成分とすることを特徴とするアクティブマトリクス型表示装置。

【請求項5】 請求項2もしくは請求項3において、層間絶縁物の上層は有機樹脂を主成分とすることを特徴とするアクティブマトリクス型表示装置。

【請求項6】 請求項2において、前記補助容量は、誘電体として、窒化珪素のみからなることを特徴とするア

クティブマトリクス型表示装置。

【請求項7】 請求項4において、前記窒化珪素を主成分とする層の厚さは1000Å以下であることを特徴とするアクティブマトリクス型表示装置。

【請求項8】 請求項2もしくは請求項3において、前記金属配線は、画素において、ディスクリネーションの発生しやすい部分に設けられることを特徴とするアクティブマトリクス型表示装置。

【請求項9】 請求項2もしくは請求項3において、前記金属配線は、ゲイトラインと重なるように形成されたことを特徴とするアクティブマトリクス型表示装置。

【請求項10】 請求項2において、前記開孔部は、ゲイトラインと重なるように形成されたことを特徴とするアクティブマトリクス型表示装置。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、薄膜トランジスタを用い、かつ、ゲイトライン上にソースラインを有するアクティブマトリクス型の表示装置の画素領域の回路構成・配置に関する。特に、補助容量の構成に関する。

【0002】

【従来の技術】 最近、安価なガラス基板上に薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まったことにある。アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの各画素のそれぞれに薄膜トランジスタを配置し、各画素電極に出入りする電荷を薄膜トランジスタのスイッチング機能により制御するものである。

【0003】 各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。従って、薄膜トランジスタによりこのコンデンサへの電荷の出入りを制御することで液晶の電気光学特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うことが出来る。

【0004】 また、このような構成でなるコンデンサは電流のリークにより次第にその保持電圧が減少するため、液晶の電気光学特性が変化して画像表示のコントラストが悪化するという問題を持つ。そこで、液晶で構成されるコンデンサと直列に補助容量と呼ばれる別のコンデンサを設置し、リーク等で損失した電荷を液晶で構成されるコンデンサに供給する構成が一般的となっている。

【0005】 従来のアクティブマトリクス型液晶表示装置の回路図を図1に示す。アクティブマトリクス型表示回路は、大きく3つの部分に分けられる。すなわち、ゲイトライン(ゲイト配線、スキャン配線、走査配線)4を駆動するためのゲイトドライバー回路2、ソースライン(データ配線、ソース配線、信号配線)5を駆動する

(3)

3

ためのデータドライバー回路1、画素の設けられたアクティブマトリクス回路3である。このうち、データドライバー回路1とゲイトドライバー回路2は周辺回路と総称される。

【0006】アクティブマトリクス回路3は、多数のゲイトライン4とソースライン5が互いに交差するように設けられ、各々の交点には画素電極7が設けられる。そして、画素電極に出入りする電荷を制御するためのスイッチング素子（薄膜トランジスタ）6が設けられる。薄膜トランジスタとしては、トップゲイト型（活性層上にゲイト電極を有するもの）、ボトムゲイト型（ゲイト電極上に活性層を有するもの）が、必要とする回路構造、作製工程、特性等に応じて使い分けられる。また、上述のようにリーク電流により画素の電圧の変動を抑制する目的で、補助容量8が画素のコンデンサーと並列に設けられる。（図1）

【0007】一方、薄膜トランジスタは光の照射により導電性が変動するので、それを防止するために遮光性を有する被膜（ブラックマトリクス）を薄膜トランジスタに重ねる必要がある。また、画素間の色、明るさが混合することや、画素の境界部分での電界の乱れによる表示不良を防止するためにも、画素間にも上記の遮光性の被膜を形成する。

【0008】このため、この遮光性被膜はマトリクス状の形状を呈し、ブラックマトリクス（BM）と呼ばれる。BMは、当初は製造工程上の有利さからアクティブマトリクス回路の設けられた基板に対向する基板（対向基板）に設けられたが、画素の面積を大きくする（開口率を上げる）必要から、アクティブマトリクス回路の設けられた基板に設けることが提案されている。

【0009】【発明が解決しようとする課題】補助容量の構成に関しては、様々なものが提案されているが、画素の開口部分（光の透過部分）を維持しつつ、大きな容量を得ることは難しかった。本発明はこのような現状に鑑みてなされたものである。

【0010】

【課題を解決するための手段】本明細書で開示する発明の一つは、画素電極の接続されたソース領域が接続された薄膜トランジスタと、前記薄膜トランジスタのドレインに接続されたソースラインと同一層上に形成されたドレイン電極と、を有し、前記ドレイン電極は、前記薄膜トランジスタを構成する活性層の50%以上の面積を覆ったパターンを有し、前記ドレイン電極を利用して補助容量が形成されていることを特徴とする。

【0011】上記の構成は、補助容量が薄膜トランジスタ上に形成されるので、画素の開口率を高くすることができる。

【0012】また、本明細書で開示する他の発明は、遮光膜をアクティブマトリクス側の基板に形成する際に、

4

この遮光膜を導電性のものとして、一定の電位に保持し、これを補助容量の電極として用いることにより、上記の課題を解決することの特徴とする。そもそも遮光膜は、光を透過させないので、これを補助容量の電極に用いることによる開口率の低下はない。

【0013】本発明のアクティブマトリクス型表示装置は、

①薄膜トランジスタ、

②ゲイトラインと、その上に形成されたソースライン、

③遮光膜として機能し、一定の電位に保持された導電性被膜、

④薄膜トランジスタのドレインに接続し、ソースラインと同じ層の金属配線

⑤導電性被膜とソースラインの間にあり、少なくとも2層の絶縁物層よりなる層間絶縁物とを有する。

【0014】本発明においては、上記の条件を満たせば薄膜トランジスタはトップゲイト、ボトムゲイトいずれも使用できる。なぜならば、本発明の主たる改良点が、ソースラインより上の構造に関するものであるので、ソースラインより下の構造（すなわち、ゲイトラインと活性層の位置関係）に関しては、何ら問題とならないからである。また、層間絶縁物の層構造は3層以上であってもよい。

【0015】本発明の一つは、上記の構造において、層間絶縁物の上層の絶縁物層がエッチングされた部分に、上記の金属配線と導電性被膜（遮光膜）を両電極とし、少なくとも層間絶縁物の下層の絶縁物層を誘電体とする補助容量が形成されていることを特徴とする。誘電体は2層以上の絶縁物層よりなっているてもよい。

【0016】本発明の他の構成は、上記の構造において、前記層間絶縁物において、導電性被膜（遮光膜）は、金属配線と重なる部分において、層間絶縁物の下層の絶縁物層と接する部分を有することを特徴とする。

【0017】上記の発明の第1、第2において、層間絶縁物の下層を半導体プロセスで安定して生産でき、比誘電率も高い窒化珪素を主成分とすることは有効である。その場合には、補助容量の誘電体としては、窒化珪素層のみとすることも、他の被膜（例えば、酸化珪素）との多層構造とすることも可能である。

【0018】この場合には、誘電体が薄くなり、かつ、誘電率の大きい窒化珪素を用いることにより、より大きな容量が得られる。本発明においては、窒化珪素層の厚さは1000Å以下、好ましくは500Å以下とするとよい。

【0019】また、このような構造においては、窒化珪素膜がソースライン上からアクティブマトリクス回路を覆うことになり、窒化珪素の耐湿性、耐イオン性等のバリア機能が有効に利用できる。

【0020】また、上記の発明において、層間絶縁物の上層を平坦化の容易な有機樹脂（例えば、ポリイミド、

(4)

5

ポリアミド、ポリイミドアミド、エポキシ、アクリル等)を用いて形成することも有効であるが、有機樹脂は耐湿性や耐イオン性等のバリア機能が弱いので、下層は窒化珪素、酸化アルミニウム、窒化アルミニウム等のバリア機能の高い材料とすることが望まれる。

【0021】さらに、上記の発明において、金属配線を、画素において、ディスクリネーション(凹凸や横電界の影響による液晶分子の配向乱れ)の発生しやすい部分に設けることは以下の理由で効果がある。ディスクリネーションのうち、ゴミ等に起因するものは、製造工程の清浄化により対処できるが、素子構造の凹凸(例えば、画素電極のコンタクト付近の凹凸)や横電界によるものに対しては抜本的な処置は不可能である。ディスクリネーションの発生する部分は画素として用いるのに不適切であり、従来、そのような部分は遮光膜で覆い、画素として機能しないような処置が施されてきたが、本発明ではそのような部分に補助容量を設けることができ、面積を有効に利用できる。

【0022】

【実施例】

【実施例1】本実施例の作製工程断面図を図3に、また、作製工程上面図を図2に示す。図2と図3の番号は対応する。以下の例における膜厚その他の数値は一例であり、最適なものであるとは限らない。さらに、本発明を実施する者が必要に応じて変更しても何ら差し支えない。

【0023】まず、ガラス基板11上に非晶質珪素膜を500Åの厚さにプラズマCVD法または減圧熱CVD法で成膜する。ガラス基板上には、下地膜として酸化珪素膜を3000Åの厚さにスパッタ法またはプラズマCVD法で成膜されることが好ましいが、石英ガラス基板上であれば、特に下地膜を設けなくともよい。次に、加熱またはレーザー光の照射等の公知のアニール技術によって、非晶質珪素膜を結晶性珪素膜とし、これをエッチングすることにより、薄膜トランジスタの活性層12を得る。

【0024】次にゲイト絶縁膜として酸化珪素膜13をプラズマCVD法または減圧熱CVD法またはスパッタ法により、1000Åの厚さに成膜する。そして、隣を有する多結晶珪素膜を減圧CVD法で5000Åの厚さに成膜し、これをエッチングすることにより、ゲイトライン(ゲイト電極)14を得る。(図3(A))

【0025】次に、N型を付与する不純物であるリンのイオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>3</sup>のドーズ量で注入することにより、ソース15とドレイン16とを形成する。いずれもN型となる。不純物イオンの注入後、加熱処理またはレーザー光の照射、または強光の照射を行うことにより、不純物イオンの注入が行われた領域の活性化を行う。

【0026】次に、公知の絶縁物層形成技術により、厚

6

さ5000Åの酸化珪素の層間絶縁物17を形成し、層間絶縁物17とゲイト絶縁膜13をエッチングして、ソース15、ドレイン16に達するコンタクトホールを開孔する。そして、公知の金属配線形成技術によりソースライン18、金属配線(補助容量電極)19を形成する。(図3(B))

【0027】ここまでの工程で得られた回路を上から見た様子を図2(A)に示す。番号は図3のものに対応する。(図2(A))

【0028】次に窒化珪素膜20をシランとアンモニア、またはシランとN<sub>2</sub>O、またはシランとアンモニアとN<sub>2</sub>Oを用いたプラズマCVD法により形成する。この窒化珪素膜20は250~1000Å、ここでは500Åの厚さに成膜する。この窒化珪素膜の成膜方法は、ジクロールシランとアンモニアを用いる方法でもよい。また減圧熱CVD法や光CVD法を用いるのでも、さらにその他の方法によるものでもよい。

【0029】続いて、スピコーティング法によって、ポリイミド層21を少なくとも8000Å以上、好ましくは1.5μmの厚さに成膜する。ポリイミド層の表面は平坦に形成される。かくして、窒化珪素層20とポリイミド層21よりなる層間絶縁物を形成する。そして、ポリイミド層21をエッチングして、補助容量用の開孔部22を形成する。(図3(C))

【0030】なお、ポリイミド層21のエッチングの際に、用いるエッチャントによっては、窒化珪素をエッチングする場合もあるので、窒化珪素の保護のために、厚さ50~500Å、例えば、200Åの酸化珪素膜を窒化珪素層とポリイミド層の間に設けてもよい。さらに、厚さ1000Åのチタン膜をスパッタリング法で成膜する。もちろん、クロム膜やアルミニウム膜等の金属膜を用いてもよいし、他の成膜方法を用いてもよい。そして、これをエッチングし、ブラックマトリクス23を形成する。ブラックマトリクス23は先に形成した補助容量用の孔を覆うように形成する。(図3(D))

【0031】ここまでの工程で得られる補助容量用の孔22とブラックマトリクス23を上から見た様子を図2(B)に示す。番号は図1のものに対応する。補助容量用の孔22とブラックマトリクス23の重なった部分に補助容量が形成される。また、金属配線19とブラックマトリクス23が重ならない領域31には、後に画素電極のコンタクトホールが形成される。(図2(B))

【0032】さらに、層間絶縁物として、厚さ5000Åのポリイミド膜24を成膜し、領域31のポリイミド膜21および24と窒化珪素層20をエッチングして、金属配線19に達するコンタクトホールを形成する。さらに、スパッタリング法により厚さ1000ÅのITO(インディウム錫酸化物)膜を形成し、これをエッチングして、画素電極25を形成する。(図3(E))

【0033】かくして、アクティブマトリクス回路が完

(5)

7

成する。本実施例のように、ポリイミド膜により絶縁層を形成すると平坦化が容易であり、効果が大きい。本実施例では、補助容量はブラックマトリクス23とドレイン16の重なる部分22に得られ、誘電体は窒化珪素層17である。

【0034】〔実施例2〕本実施例の作製工程の上面図を図4に示す。本実施例も作製工程自体は実施例1とほとんど同じであり、番号は実施例1のものに対応する。本実施例は、回路配置が実施例1と異なっており、ディスクリネーションの発生しやすい部分に補助容量を設けることにより、画素を有効に形成する（実質的な開口率を高める）方法を示す。

【0035】まず、ディスクリネーションの発生について図5を用いて説明する。図5は実施例1で作製した画素と同じ回路配置のものである。図5に示すように、画素の右上に画素電極のコンタクト31が設けられ、図の右上から左下の方向（左下から右上とは異なることに注意）にラビングがおこなわれ、かつ、ソースライン反転駆動（隣接するソースライン間に印加される信号を互いに逆極性のものとする駆動方法、ドット反転駆動も含む）をおこなう表示装置においては、画素の右上の部分30にディスクリネーションが生じやすい。この部分は表示に用いるには不適當であるので、BMで覆うことが望まれる。（図5）

【0036】そこで、図4（A）に示すように、金属配線19の配置を実施例1のように、画素の上に設けるのではなく、画素の右側に設ける。（図4（A））さらに、金属配線19上に開孔部22を形成し、その上にBM23を設ける。画素電極のコンタクトも、図4（B）に示すように、右下の領域31に設けると効果的である。（図4（B））

【0037】かくして、ディスクリネーションの生じやすい部分には補助容量が形成される。本実施例は、実施例1の回路において、画素の上側に設けられた補助容量を左に移動させたもので、回路設計上の開口部の面積は同じである。しかしながら、ディスクリネーションと補助容量（もしくはBM）を重ねることにより、実質的にはより大きな開口面積を得ることができる。

【0038】〔実施例3〕本実施例の作製工程の上面図を図6に示す。本実施例も作製工程自体は実施例1とほとんど同じであり、番号は実施例1のものに対応する。本実施例は、補助容量の配置は実施例2と実質的に同一であるが、薄膜トランジスタの活性層の配置を変更することにより、より面積の有効な利用をはかったものである。

【0039】本実施例ではラビングの方向は左下から右上であり、この場合は画素の左下の部分にディスクリネーションが生じやすい。実施例2においては、このようなディスクリネーションの生じやすい部分に補助容量を設けることを示したが、本実施例においては、次行の薄

8

膜トランジスタの活性層の一部をもこの部分に設ける。すなわち、図6（A）に示すように、金属配線19の配置を画素の左側に配置すると同時に、ゲイトラインの枝部を除去して直線状にし、活性層がこれを横断するように配置する。（図6（A））

【0040】さらに、金属配線19上に開孔部22を形成し、その上にBM23を設ける。（図6（B））かくして、ディスクリネーションの生じやすい部分には補助容量と薄膜トランジスタの一部が形成される。本実施例は、実施例2の回路において、ゲイトラインの枝部が不要になった分、面積の効率的な利用が可能となった。

【0041】〔実施例4〕本実施例の作製工程の上面図を図8に、また、本実施例の薄膜トランジスタの主要部および回路図を図7に示す。本実施例も作製工程自体は実施例1とほとんど同じであり、番号は実施例1のものに対応する。また、図7と図8の番号も相互に対応する。本実施例は、補助容量の配置は実施例2と実質的に同一であるが、薄膜トランジスタの活性層およびゲイト電極の配置を変更することにより、薄膜トランジスタの特性を高めより面積の有効な利用をはかったものである。

【0042】本実施例も、実施例3と同じくラビングが左下から右上になされるので、画素の左下の部分にディスクリネーションが生じやすい。実施例2においては、このような部分に補助容量を設けることを示し、また、実施例3においては、補助容量とシングルゲイト（単ゲイト）の薄膜トランジスタの活性層の一部を設けることを示したが、本実施例においては、トリプルゲイト（3重ゲイト）の薄膜トランジスタの活性層とゲイト電極をもこの部分に設ける。

【0043】まず、図7（A）を用いて、本実施例のトリプルゲイト薄膜トランジスタの概要について説明する。この薄膜トランジスタはゲイトライン14に枝部29を設け、活性層12がゲイトラインとその枝部と図に示すように重なる構造とする。交差した部分26～28はそれぞれトランジスタとなる（図7（A））

【0044】すなわち、図7（B）に示すように、ソースライン18と金属配線19の間に3つの薄膜トランジスタが直列に接続した構造となる。（図7（B））このような多重トランジスタはアクティブマトリクスのスイッチングトランジスタとして用いると特に有効であることが知られている（特公平5-44195）。

【0045】このような構造の薄膜トランジスタは次行の画素の左下の部分を占有するが、この部分はディスクリネーションの発生しやすい領域であるので、実施例2、3と同様、このことが開口率の低下をもたらすことはない。すなわち、図8（A）に示すように、ゲイトライン14に枝部29を設け、活性層12がゲイトライン14およびその枝部29と3回交差するように配置す

(6)

9

る。さらに、金属配線19を図に示すように画素の左側に配置する。(図8(A))

【0046】さらに、金属配線19上に開孔部22を形成し、その上にBM23を設ける。(図8(B))

かくして、ディスクリネーションの生じやすい部分には補助容量と薄膜トランジスタの一部が形成される。本実施例は、実施例2の回路と同様にゲイトラインの枝部が必要である点で実施例3のものより不利であるが、3重ゲイト薄膜トランジスタとすることにより、補助容量ははるかに小さくてもよい。したがって、総合的には、本実施例の方が、実施例3のものより特性が優れている。

【0047】【実施例5】本実施例の作製工程断面図を図11に、また、作製工程上面図を図9に示す。図9と図11の番号は対応し、さらに、他の実施例において指し示すものと同等のものを示す。本実施例は、実施例1において示した積層構造を有する画素回路において、補助容量の配置を変更したものである。

【0048】実施例1と同様に、適切な下地膜の形成されたガラス基板11上に非晶質珪素膜を500Åの厚さにプラズマCVD法または減圧熱CVD法で成膜し、次に、公知のアニール技術によって、非晶質珪素膜を結晶性珪素膜とし、これをエッチングすることにより、薄膜トランジスタの活性層12を得る。

【0049】次にゲイト絶縁膜として酸化珪素膜13を1000Åの厚さに成膜する。そして、燐を有する多結晶珪素膜を減圧CVD法で5000Åの厚さに成膜し、これをエッチングすることにより、ゲイトライン(ゲイト電極)14を得る。(図11(A))

【0050】次に、N型を付与する不純物であるリンのイオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>3</sup>のドーズ量で注入することにより、ソース15とドレイン16とを形成する。不純物イオンの注入後、アニール処理をおこなう。

【0051】次に、公知の絶縁物層形成技術により、厚さ2μmの酸化珪素の層間絶縁物17を形成する。公知の平坦化技術(例えば、化学的機械的研磨(CMP)法)により、絶縁物表面を平坦化する。その後、層間絶縁物17とゲイト絶縁膜13をエッチングして、ソース15、ドレイン16に達するコンタクトホールを開孔する。そして、公知の金属配線形成技術によりソースライン18、金属配線(補助容量電極)19を形成する。この際、金属配線19はゲイトラインを覆うようにする。(図11(B))

【0052】ここまでの工程で得られた回路を上から見た様子を図9(A)に示す。本実施例で特徴的なことは、補助容量の電極となる金属配線19が、ゲイトライン14の一部を覆うことである。ゲイトライン14も金属配線19も、共に遮光性のものであり、画素の面積を狭める要因である。実施例1の場合には、これらが、重ならないように配置されていたために、その分だけ、画

10

素として使用できる部分の面積が狭くなっていた。本実施例では、ゲイトライン14も金属配線19を重ねることにより、より多くの面積が画素に使用できるようになった。(図9(A))

【0053】なお、図9に示すように、当該画素電極の駆動をおこなうゲイトラインと画素電極に接続する金属配線19を重ねて配置する際には、ゲイトライン14と金属配線19の間の容量結合を小さくすることが好ましい。本実施例では、層間絶縁物の厚さを十分に厚くすることにより、上記の問題を解決したが、図10に示すように、次行のゲイトラインに金属配線19を重ねてもよい。(図10)

【0054】次に窒化珪素膜20を250~1000Å、ここでは500Åの厚さに成膜する。さらに、厚さ200Åの酸化珪素膜(図示せず)を堆積する。続いて、スピンコーティング法によって、ポリイミド層21を少なくとも8000Å以上、好ましくは1.5μmの厚さに成膜する。ポリイミド層の表面は平坦に形成される。かくして、窒化珪素層20とポリイミド層21よりなる層間絶縁物を形成する。そして、ポリイミド層21をエッチングして、補助容量用の開孔部22を形成する。(図11(C))

【0055】さらに、厚さ1000Åのチタン膜をスパッタリング法で成膜し、これをエッチングし、ブラックマトリクス23を形成する。ブラックマトリクス23は先に形成した補助容量用の孔22を覆うように形成する。

【0056】ここまでの工程で得られる補助容量用の孔22とブラックマトリクス23を上から見た様子を図9(B)に示す。補助容量用の孔22とブラックマトリクス23の重なった部分に補助容量が形成される。開口部分の面積を増大させるために、補助容量用の孔22はゲイトライン14に重なるように形成されるとよい。また、画素電極のコンタクトホールを形成するために、金属配線19とブラックマトリクス23の重ならない領域31も設ける。(図9(B))

【0057】さらに、層間絶縁物として、厚さ5000Åのポリイミド膜24を成膜し、領域31のポリイミド膜21および24と窒化珪素層20をエッチングして、金属配線19に達するコンタクトホールを形成する。さらに、スパッタリング法により厚さ1000ÅのITO(インディウム錫酸化物)膜を形成し、これをエッチングして、画素電極25を形成する。(図11(D))

【0058】かくして、アクティブマトリクス回路が完成する。本実施例は、単ゲイトのTFTに関するものであるが、実施例4に示されるような多ゲイトのTFTにおいても同様に実施でき、同様な効果が得られる。

【0059】【実施例6】図1-2~図1-5を利用して本実施例を示す。図1-2には、最下層に形成された活性層105、106、107、108が示されている。この

(7)

11

活性層は、ガラス基板や石英基板、その他絶縁表面上に形成されている。

【0060】活性層上には、図示しないゲイト絶縁膜が形成されている。ゲイト絶縁膜上には、ゲイト線101、102が形成されている。

【0061】ここで、ゲイト線が活性層と交わる部分における活性層部分がチャネル形成領域となる。

【0062】ゲイト電極上には図示しない層間絶縁膜が形成されており、その上にソース線103、104が形成されている。

【0063】ソース線104は例えばコンタクト109を介して、活性層106に形成されたソース領域に接続されている。

【0064】また、ソース線と材料を用いて（同一膜をパターニングすることによって得られる）ドレイン電極109、110、111、112が形成されている。

【0065】このドレイン電極は、容量を形成するために利用される。またBMの一部を構成するものとして利用される。

【0066】113で示されるドレイン配線110の延在した部分は、容量値を稼ぐためのパターンである。

【0067】ドレイン電極は、活性層の半分以上の面積を覆う構造となっている。このような構造とすることにより、開口率を大きく低下させずに所定の補助容量値を稼ぐことができる。

【0068】図13に示すのは、図12に示す状態に加えて、図示しない窒化珪素膜を成膜し、その上に容量線113、114を形成した状態である。

【0069】この図示しない窒化珪素膜は、補助容量の誘電体として機能する。

【0070】図14に示すのは、図13に示す容量線113、114の上にさらに層間絶縁膜を成膜し、その上にITOでもって画素電極115、116、117、118、119、120、121、122、123を形成した状態である。

【0071】本実施例に示す構成では、TFTの上方に覆いかぶさるようにして、補助容量を形成するので、画素の開口率を極力高くすることができる。

【0072】また、ドレイン領域と画素電極との間に形成されるドレイン電極（この電極はソース配線と同時に形成される）を利用して、容量線との間に容量を形成する構成とすることで、大容量を得ることができる。即ち、このような構成を採用した場合、補助容量を構成する誘電体膜（この場合は窒化珪素膜）の厚さを薄くすることができるので、容量を大きくとることができる。

【0073】

【発明の効果】以上に示したごとく、ブラックマトリクスとして用いられる導電性被膜を電極とし、これとソースラインと同層の金属配線との間で補助容量を形成する方法が提案された。

12

【0074】この構成は、またTFTの上方部を容量として利用するので、画素の開口率を高めることができる。

【0075】実施例ではトップゲイト型の薄膜トランジスタを用いる例を示したが、本発明がソースラインよりも上の構造に関する改良であることから、ボトムゲイト型の薄膜トランジスタにおいても同様に実施できることは明らかである。このように本発明は産業上、有益である。

#### 10 【図面の簡単な説明】

【図1】 一般的なアクティブマトリクス回路の回路図を示す。

【図2】 実施例1のアクティブマトリクス回路の作製工程上面図を示す。

【図3】 実施例1のアクティブマトリクス回路の作製工程断面図を示す。

【図4】 実施例2のアクティブマトリクス回路の作製工程上面図を示す。

【図5】 ディスクリネーションを説明する図。

20 【図6】 実施例3のアクティブマトリクス回路の作製工程上面図を示す。

【図7】 実施例4の薄膜トランジスタの概要と回路図を示す。

【図8】 実施例4のアクティブマトリクス回路の作製工程上面図を示す。

【図9】 実施例5のアクティブマトリクス回路の作製工程上面図を示す。

【図10】 実施例5に関連するアクティブマトリクス回路の上面図を示す。

30 【図11】 実施例5のアクティブマトリクス回路の作製工程断面図を示す。

【図12】 実施例6の構成を示す上面図。

【図13】 実施例6の構成を示す上面図。

【図14】 実施例6の構成を示す上面図。

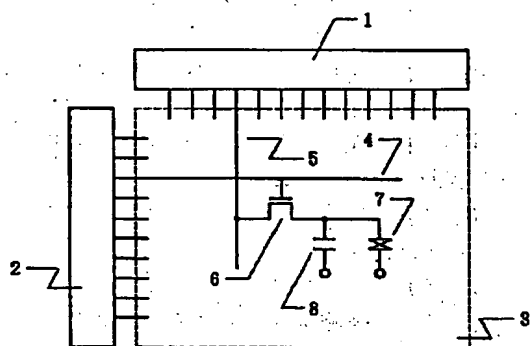
【符号の説明】

1	データドライバー回路
2	ゲイトドライバー回路
3	アクティブマトリクス回路領域
4	ゲイトライン
40 5	ソースライン
6	薄膜トランジスタ (TFT)
7	画素電極
8	補助容量
11	ガラス基板
12	活性層
13	酸化珪素膜 (ゲイト絶縁膜)
14	ゲイトライン (ゲイト電極)
15	ソース
16	ドレイン
50 17	酸化珪素 (層間絶縁物)

(8)

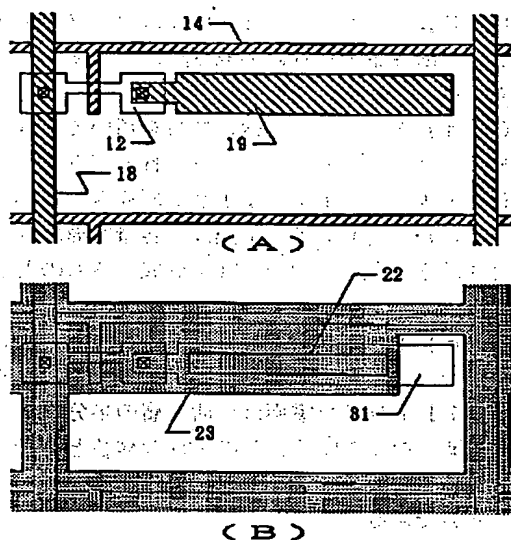
- 13  
ソースライン  
19  
金属配線 (補助容量電極)  
20  
窒化珪素層  
21、24  
ポリイミド層  
22  
開孔部 (補助容量)  
23  
遮光膜 (ブラックマトリクス)  
25  
画素電極

【図1】

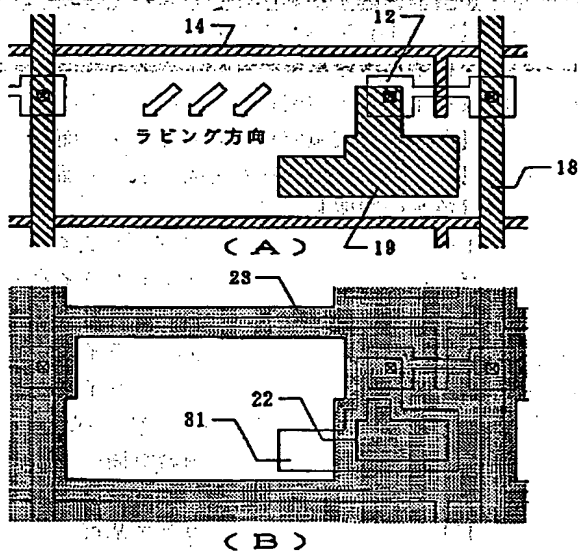


- 26、27、28  
薄膜トランジスタ  
29  
ゲートラインの枝部  
30  
ディスクリネーションの生じやすい部分  
31  
コンタクトホールを形成する部分

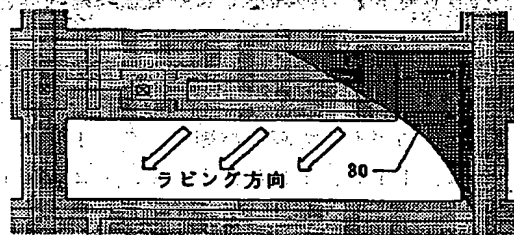
【図2】



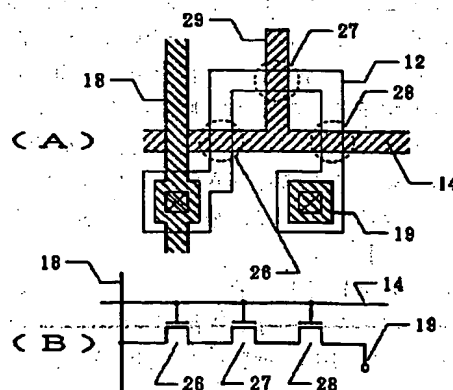
【図4】



【図5】



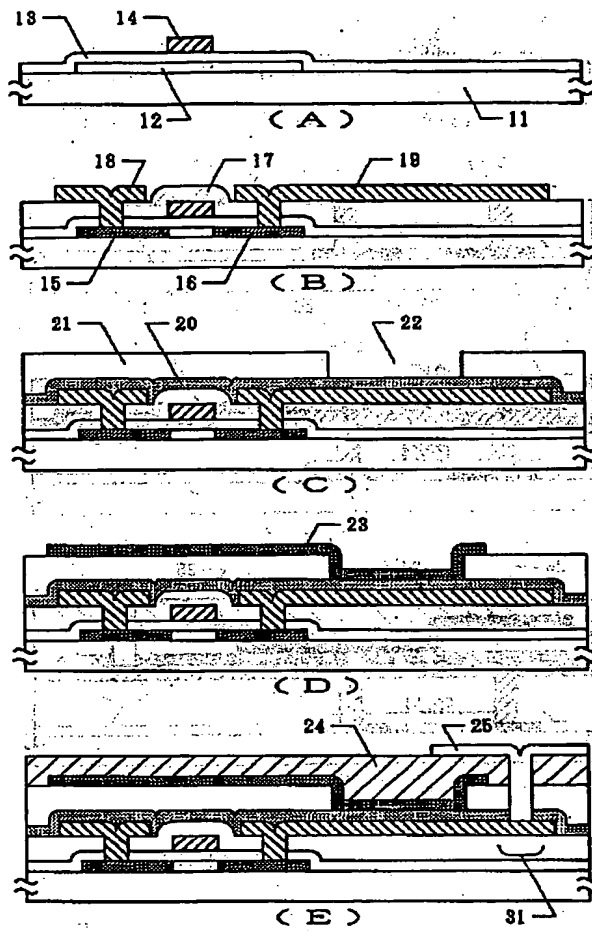
【図7】



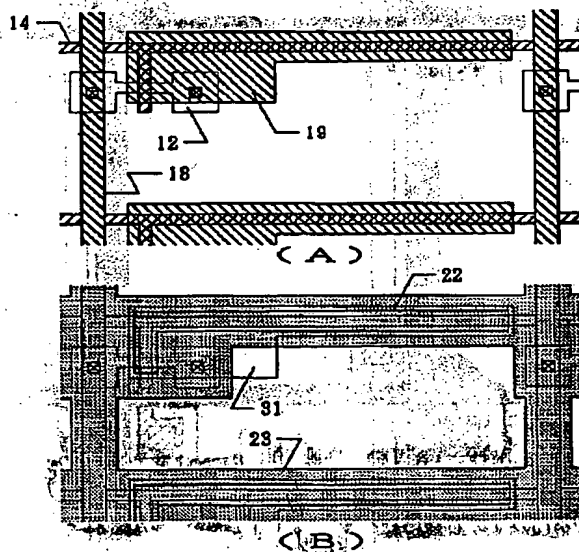


(9)

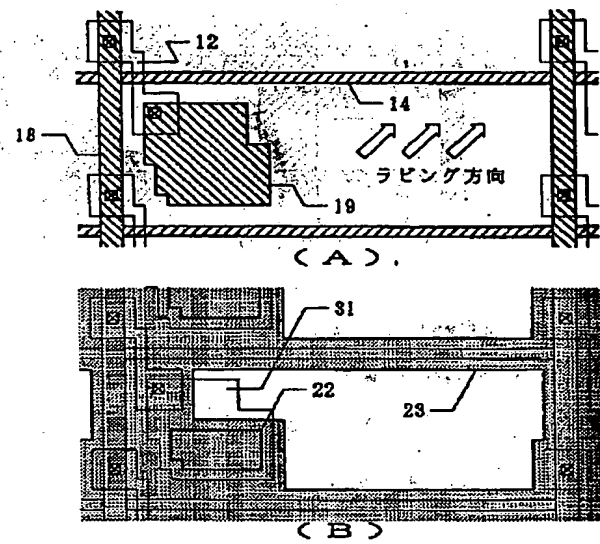
【図3】



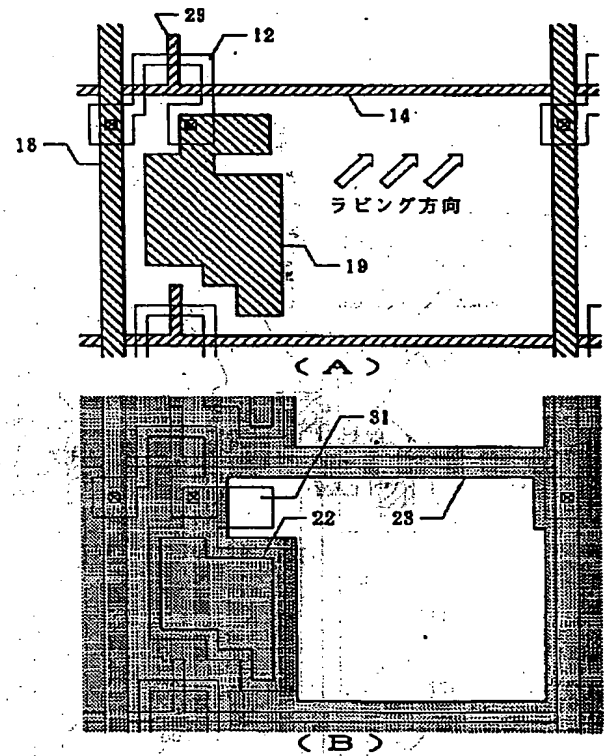
【図9】



【図6】

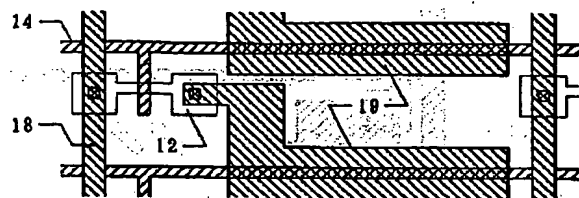


【図8】

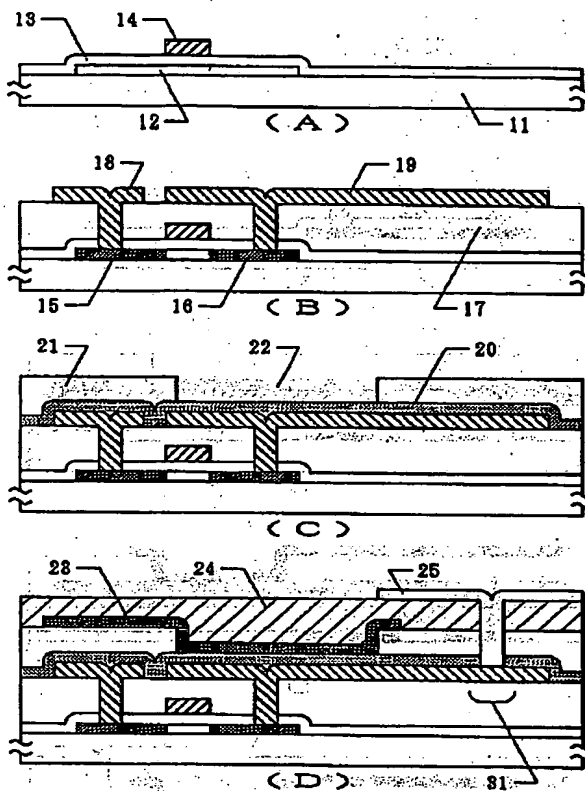


(10)

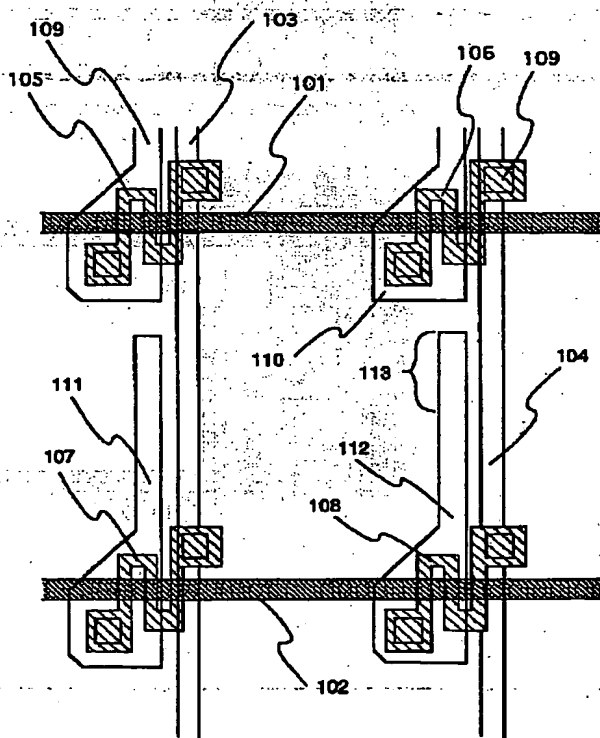
【図10】



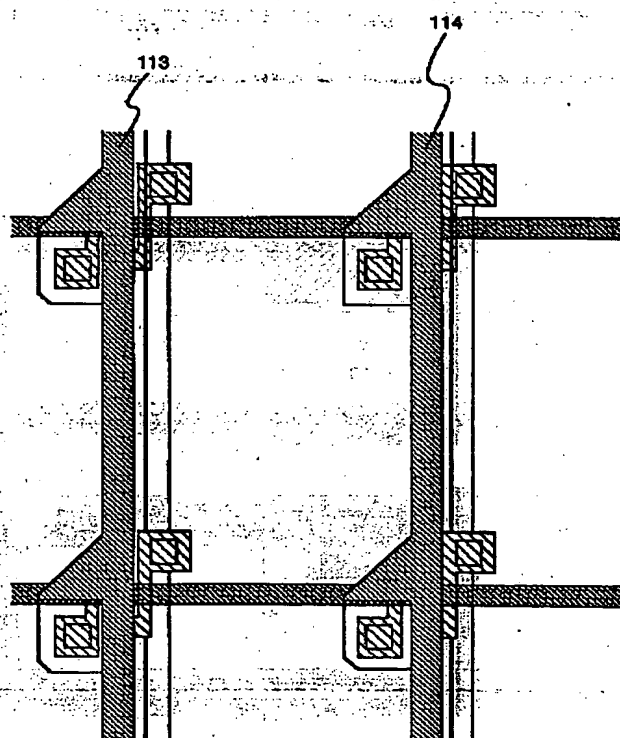
【図11】



【図12】

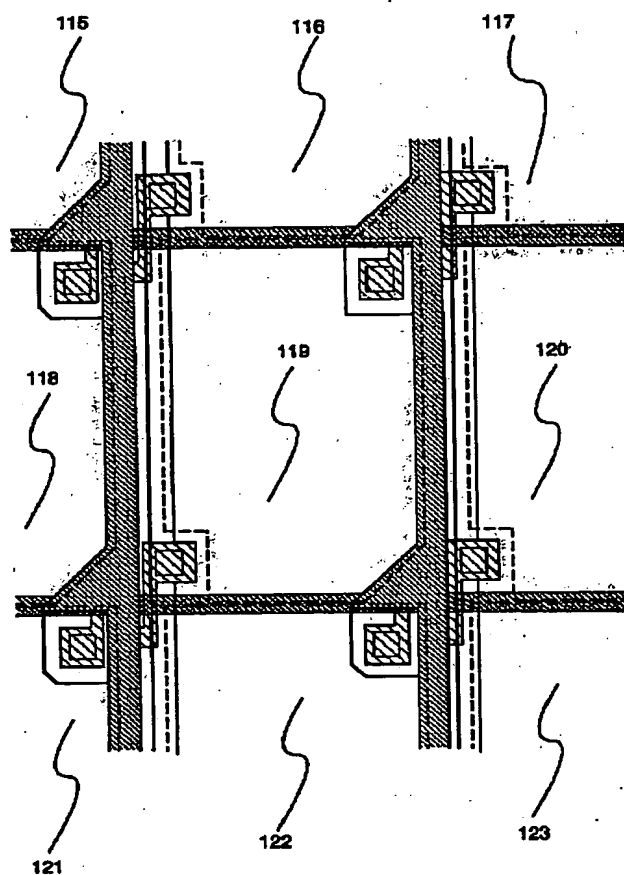


【図13】



(11)

【図14】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I  
H 0 1 L 29/78

6 1 6 S

【公開番号】特開平10-274789

【公報種別】特許法第17条の2の規定による補正の掲載

【ST公報種別】A5

【公開日】平成10年(1998)10月13日

【出願番号】特願平9-95069

【発行日】2005年(2005)2月24日

【部門区分】第6部門第2区分

【国際特許分類第7版】

G02F 1/136

G02F 1/1343

H01L 29/786

H01L 21/336

【F1】

G02F 1/136 500

G02F 1/1343

H01L 29/78 612 C

H01L 29/78 613 Z

H01L 29/78 616 K

H01L 29/78 616 S

【手続補正書】

【提出日】2004年(2004)3月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】アクティブマトリクス型の表示装置【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソース領域及びドレイン領域を有する活性層と、

ゲイト電極を含むゲイトラインと、

前記ソース領域と接続するソースラインと、

前記ドレイン領域と接続する金属配線と、

前記ソースライン及び前記金属配線上に形成された下層の層間絶縁膜と、

前記下層の層間絶縁膜とは異なる材料からなり、かつ、前記下層の層間絶縁膜の一部を露出させる開孔部を有する上層の層間絶縁膜と、

前記上層の層間絶縁膜及び前記露出した下層の層間絶縁膜上に形成された導電性被膜と、

を有し、

前記ゲイトラインは前記開孔部と重なる部分を有し、

前記開孔部において、前記導電性被膜と前記金属配線を電極とし、前記露出した下層の層間絶縁膜を誘電体とする容量が形成されていることを特徴とするアクティブマトリクス型の表示装置。

【請求項2】

ソース領域及びドレイン領域を有する活性層と、

(2)

ゲイト電極を含むゲイトラインと、

前記ソース領域と接続するソースラインと、

前記ドレイン領域と接続する金属配線と、

前記ソースライン及び前記金属配線上に形成された下層の層間絶縁膜と、

前記下層の層間絶縁膜とは異なる材料からなり、かつ、前記下層の層間絶縁膜の一部を露出させる層の層間絶縁膜と、

特許法第17条/2/規定ニヨル補正/掲載

前記上層の層間絶縁膜及び前記露出した下層の層間絶縁膜上に形成された導電性被膜と、

特開平10-197897

を有し、

特開平10-274789

前記開孔部において、前記導電性被膜と前記金属配線を電極とし、前記露出した下層の層間絶縁膜を誘電体とする容量が形成され、

前記活性層は前記容量に覆われる部分を有することを特徴とするアクティブマトリクス型の表示装置。

【請求項3】

ソース領域及びドレイン領域を有する活性層と、

ゲイト電極を含む第1のゲイトラインと、

前記ソース領域と接続するソースラインと、

前記ドレイン領域と接続する金属配線と、

前記ソースライン及び前記金属配線上に形成された下層の層間絶縁膜と、

前記下層の層間絶縁膜とは異なる材料からなり、かつ、前記下層の層間絶縁膜の一部を露出させる開孔部を有する上層の層間絶縁膜と、

前記上層の層間絶縁膜及び前記露出した下層の層間絶縁膜上に形成された導電性被膜と、

を有し、

前記金属配線は、前記第1のゲイトラインの次の第2のゲイトラインと重なる部分を有し、

前記第2のゲイトラインは前記開孔部と重なる部分を有し、

前記開孔部において、前記導電性被膜と前記金属配線を電極とし、前記露出した下層の層間絶縁膜を誘電体とする容量が形成されていることを特徴とするアクティブマトリクス型の表示装置。

【請求項4】

請求項2において、前記活性層の50%以上の面積は前記容量で覆われることを特徴とするアクティブマトリクス型の表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記導電性被膜は遮光性を有することを特徴とするアクティブマトリクス型の表示装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記導電性被膜は容量線であることを特徴とするアクティブマトリクス型の表示装置。

【請求項7】

請求項1乃至請求項6のいずれか一項において、前記下層の層間絶縁膜は窒化珪素、酸化アルミニウムまたは窒化アルミニウムを主成分とすることを特徴とするアクティブマトリクス型の表示装置。

【請求項8】

請求項1乃至請求項7のいずれか一項において、前記上層の層間絶縁膜は有機樹脂を主成分とすることを特徴とするアクティブマトリクス型の表示装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記下層の層間絶縁膜の膜厚は100nm以下であることを特徴とするアクティブマトリクス型の表示装置。

【請求項10】

請求項1乃至請求項9のいずれか一項において、前記金属配線は、各画素において、ディスクリネーションの発生しやすい部分に設けられることを特徴とするアクティブマトリクス型表示装置。

(3)

ス型の表示装置。

5

0

6

【請求項 11】

請求項 1 乃至請求項 9 のいずれか一項において、前記金属配線は、各画素において、ラビングを始めることを特徴とするアクティブマトリクス型の表示装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項において、前記金属配線はドレイン電極で特許法第 17 条第 2 項の規定により補正/掲載マトリクス型の表示装置。

特開平 10-197897

【手続補正 3】

特開平 10-274789

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

かくして、アクティブマトリクス回路が完成する。本実施例のように、ポリイミド膜により絶縁層を形成すると平坦化が容易であり、効果が大きい。本実施例では、補助容量はブラックマトリクス 23 とドレイン 16 の重なる部分 22 に得られ、誘電体は窒化珪素層 20 である。【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

ソース線 104 は例えばコンタクト 129 を介して、活性層 106 に形成されたソース領域に接続されている。【手続補正 5】

【補正対象書類名】図面

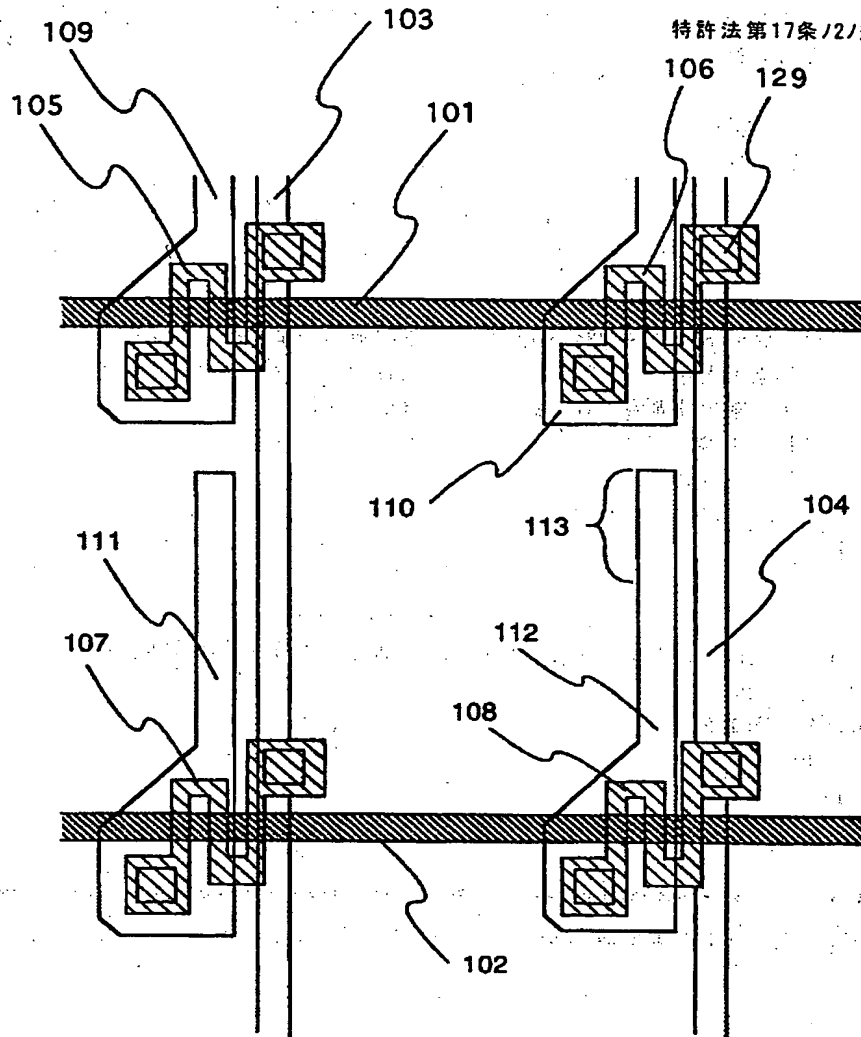
【補正対象項目名】図 12

【補正方法】変更

【補正の内容】

日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 日本国特許庁 (JP)  
 特許法第17条/2/規定ニヨル補正/掲載  
 特開平10-197897  
 特開平10-274789

【図12】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-274789

(43)Date of publication of application : 13.10.1998

(51)Int.Cl.

G02F 1/136  
G02F 1/1343  
H01L 29/786  
H01L 21/336

(21)Application number : 09-095069

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 28.03.1997

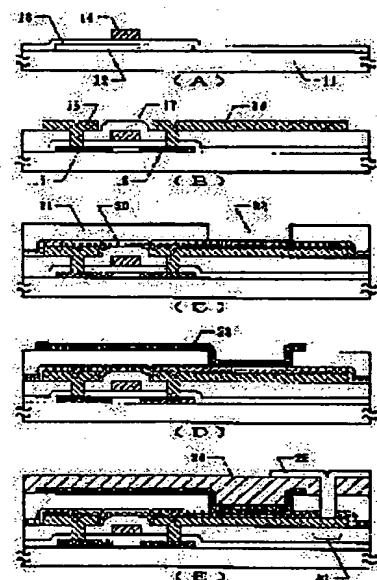
(72)Inventor : OTANI HISASHI  
OGATA YASUSHI

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a new structure related to a method of forming an auxiliary capacity of picture element in an active matrix type liquid crystal display device using a top gate type or a top gate type thin film transistor(TFT).

**SOLUTION:** A 1st insulating film 20 having a high dielectric constant like silicon nitride is formed covering a source line 18 and a metallic wiring 19 in the same layer, and further thereon, a 2nd insulating layer 21 excellent in flatness is formed. And, the 2nd insulating film 21 is etched to make an aperture part 22, and the 1st insulating film 20 is made to be selectively exposed. A conductive film 23 functioning as a shading film is formed thereon, and between this and the metallic wiring 19, a capacitance having the insulating film 20 as a dielectric substance is formed, and this is used as an auxiliary capacitance. Further, the aperture ratio is substantially improved by selectively providing the auxiliary capacitance in parts much influenced by disclination.



## LEGAL STATUS

[Date of request for examination]

18.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] It is the active matrix liquid crystal display [claim 2] characterized by to have the thin film transistor to which the source field where the pixel electrode was connected was connected, and the drain electrode formed on the same layer as the source line connected to the drain of said thin film transistor, and for said drain electrode to have the pattern which covered 50% or more of area of the barrier layer which constitutes said thin film transistor, and to be formed auxiliary capacity using said drain electrode. In the active matrix liquid crystal display using the thin film transistor as a switching element The source line formed on the gate line, and the conductive film which functions as a light-shielding film, is held at fixed potential, and is in the middle layer of said source line and pixel electrode, It has the layer insulation object formed between the source line and said conductive film. Said layer insulation object On a lower layer insulating material layer, the upper insulating material layer which consists of an ingredient of a different kind is. In said layer insulation object The aperture obtained by etching the insulating material layer of the upper layer selectively is prepared, and it sets to said aperture. Said conductive film and the auxiliary capacity which makes lower layer metal wiring two electrodes, and uses said lower layer insulating material layer as a dielectric are formed. Said lower layer metal wiring It is a source line and this layer, and insulates with a source line physically, and is characterized by having contact between the drain of a thin film transistor, and a pixel electrode.

[Claim 3] A thin film transistor and the source line formed on the gate line, It connects with the drain of said thin film transistor. Said source line and metal wiring of this layer, The pixel electrode linked to said metal wiring, and the conductive film which functions as a light-shielding film, is held at fixed potential, and is in the middle layer of said source line and pixel electrode, It is between said conductive films and said source lines, and has the layer insulation object which consists of a two-layer insulating material layer at least. Said conductive film The active-matrix mold display characterized by having the part which touches the lower layer insulating material layer of said layer insulation object in the part which laps with said metal wiring.

[Claim 4] It is the active-matrix mold display characterized by the lower layer of a layer insulation object using silicon nitride as a principal component in claim 2 or claim 3.

[Claim 5] It is the active-matrix mold display characterized by the upper layer of a layer insulation object using organic resin as a principal component in claim 2 or claim 3.

[Claim 6] It is the active-matrix mold display characterized by said auxiliary capacity consisting only of silicon nitride as a dielectric in claim 2.

[Claim 7] The thickness of the layer which uses said silicon nitride as a principal component in claim 4 is a active-matrix mold display characterized by being 1000Å or less.

[Claim 8] Said metal wiring is a active-matrix mold display characterized by being prepared in the part which disclination tends to generate [ in / on claim 2 or claim 3 and / a pixel ].

[Claim 9] It is the active-matrix mold display characterized by being formed so that said metal wiring may lap with a gate line in claim 2 or claim 3.

[Claim 10] It is the active-matrix mold display characterized by being formed so that said aperture may lap with a gate line in claim 2.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Invention indicated on these descriptions relates to the circuitry and arrangement of the pixel field of the display of the active-matrix mold which has a source line on a gate line, using a thin film transistor. Especially, it is related with the configuration of auxiliary capacity.

[0002]

[Description of the Prior Art] The technique which produces a thin film transistor (TFT) on a cheap glass substrate recently is progressing quickly. It is [ the ] reasonable in the need of an active matrix liquid crystal display having increased. An active matrix liquid crystal display arranges a thin film transistor to each of each pixel of dozens arranged in the shape of a matrix - 1 million numbers, and controls the charge which frequents each pixel electrode by the switching function of a thin film transistor.

[0003] Liquid crystal is put between each pixel electrode and a counterelectrode, and a kind of capacitor is formed. Therefore, the electro-optics property of liquid crystal can be changed by controlling receipts and payments of the charge to this capacitor by the thin film transistor, the light which penetrates a liquid crystal panel can be controlled, and image display can be performed.

[0004] Moreover, the capacitor which becomes with such a configuration has the problem that the electro-optics property of liquid crystal changes and the contrast of image display gets worse, in order that the maintenance electrical potential difference may decrease gradually by leak of a current. Then, the configuration which supplies the charge which installed the capacitor which consists of liquid crystal, and another capacitor called auxiliary capacity to a serial, and was lost by leak etc. to the capacitor which consists of liquid crystal is common.

[0005] The circuit diagram of the conventional active matrix liquid crystal display is shown in drawing 1 . A active-matrix mold display circuit is roughly divided into three parts. That is, it is the active-matrix circuit 3 in which the 1 pixel data driver line for driving the gate driver circuit 2 for driving the gate line (gate wiring, scanning wiring, scan wiring) 4 and the source line (data wiring, source wiring, signal wiring) 5 was prepared. Among these, the data driver line 1 and the gate driver circuit 2 are named a circumference circuit generically.

[0006] The active-matrix circuit 3 is formed so that many the gate lines 4 and the source lines 5 may cross mutually, and the pixel electrode 7 is formed in each intersection. And the switching element (thin film transistor) 6 for controlling the charge which frequents a pixel electrode is formed. As a thin film transistor, a top gate mold (what has a gate electrode on a barrier layer), and a bottom product gate

mold (what has a barrier layer on a gate electrode) are properly used according to the circuit structure to need, a making process, a property, etc. Moreover, the auxiliary capacity 8 is formed in the capacitor and juxtaposition which are a pixel in order to control fluctuation of the electrical potential difference of a pixel according to leakage current as mentioned above. ( Drawing 1 )

[0007] On the other hand, since conductivity is changed by the exposure of light, a thin film transistor needs to put the coat (black matrix) which has protection-from-light nature on a thin film transistor, in order to prevent it. Moreover, in order to prevent that the color between pixels and brightness are mixed, and the poor display by turbulence of the electric field in the boundary part of a pixel, the coat of the above-mentioned protection-from-light nature is formed between pixels.

[0008] For this reason, this protection-from-light nature coat presents a matrix-like configuration, and is called a black matrix (BM). Although BM was prepared in the substrate (opposite substrate) which counters the substrate with which the active-matrix circuit was prepared from the profitableness on a production process at the beginning, preparing the area of a pixel in the substrate with which the active-matrix circuit was prepared from the need of enlarging (a numerical aperture being gathered) is proposed.

[0009]

[Problem(s) to be Solved by the Invention] Although various things were proposed about the configuration of auxiliary capacity, it was difficult to obtain a big capacity, maintaining a part for opening of a pixel (transparency part of light). This invention is made in view of such the actual condition.

[0010]

[Means for Solving the Problem] It has the drain electrode formed on the layer as the source line connected to the drain of the thin film transistor to which the source field where the pixel electrode was connected was connected, and said thin film transistor with one [ same ] of the invention indicated on these descriptions, said drain electrode has the pattern which covered 50% or more of area of the barrier layer which constitutes said thin film transistor, and it is characterized by to be formed auxiliary capacity using said drain electrode.

[0011] Since auxiliary capacity is formed on a thin film transistor, the above-mentioned configuration can make the numerical aperture of a pixel high.

[0012] Moreover, in case other invention indicated on these descriptions forms a light-shielding film in the substrate by the side of a active matrix, it is characterized by solving the above-mentioned technical problem by holding this light-shielding film to fixed potential as a conductive thing, and using this as an electrode of auxiliary capacity. First of all, since a light-shielding film does not make light penetrate, there is no decline in the numerical aperture by using this for the electrode of auxiliary capacity.

[0013] The active-matrix mold indicating equipment of this invention functions as \*\* thin film transistor, \*\* gate line, the source line formed on it, and a \*\* light-shielding film, and is connected to the drain of the conductive film held at fixed potential, and \*\* thin film transistor, and it is between the metal wiring \*\* conductive film of the same layer as a source line, and a source line, and has the layer insulation object which consists of a two-layer insulating material layer at least.

[0014] if the above-mentioned conditions are fulfilled in this invention -- a thin film transistor -- a top gate and a bottom product gate -- all can be used. It is because the main improving point of this invention is related with the structure above a source line, so it does not pose a problem at all about the structure below a source line (namely, physical relationship of a gate line and a barrier layer). Moreover, the layer system of a layer insulation object may be three or more layers.

[0015] One of this inventions is characterized by forming the auxiliary capacity which makes two electrodes the above-mentioned metal wiring and a conductive film (light-shielding film), and uses the lower layer insulating material layer of a layer insulation object as a dielectric at least at the part into which the insulating material layer of the upper layer of a layer insulation object was etched in the above-mentioned structure. The dielectric may consist of an insulating material layer more than two-layer.

[0016] Other configurations of this invention are characterized by a conductive film (light-shielding film) having the part which touches the lower layer insulating material layer of a layer insulation object in the part which laps with metal wiring in said layer insulation object in the above-mentioned structure.

[0017] In the 1st of the above-mentioned invention, and the 2nd, it is effective that it is stabilized, can produce the lower layer of a layer insulation object in a semi-conductor process, and specific inductive capacity also uses high silicon nitride as a principal component. In that case, as a dielectric of auxiliary capacity, it is also possible to also consider only as a silicon nitride layer and to consider as multilayer structure with other coats (for example, oxidation silicon).

[0018] In this case, a bigger capacity is obtained by a dielectric's becoming thin and using silicon nitride with a large dielectric constant. In this invention, the thickness of a silicon nitride layer is preferably good to consider [ 1000A or less ] as 500A or less.

[0019] Moreover, in such structure, a silicon nitride film will cover a active-matrix circuit from on a source line, and barrier ability, such as the moisture resistance of silicon nitride and ionicity-proof, can use effectively.

[0020] Moreover, in the above-mentioned invention, although it is also effective to form the upper layer of a layer insulation object using the easy organic resin (for example, polyimide, a polyamide, polyimidoamide, epoxy, an acrylic, etc.) of flattening, a lower layer is wanted to use organic resin as the high ingredient of barrier ability, such as silicon nitride, an aluminum oxide, and alumimium nitride, since barrier ability, such as moisture resistance and ionicity-proof, is weak.

[0021] Furthermore, in the above-mentioned invention, it is effective by the following reasons to prepare metal wiring in the part which disclination (orientation turbulence of the liquid crystal molecule under the effect of irregularity or horizontal electric field) tends to generate in a pixel. Although what originates in dust etc. among disclination can cope with it by defecation of a production process, to what is depended on the irregularity (for example, irregularity near contact of a pixel electrode) and horizontal electric field of component structure, radical treatment is impossible. The part which disclination generates is unsuitable although used as a pixel, and conventionally, although measures which do not function as a bonnet and a pixel by the light-shielding film have been taken, by this invention, such a part can prepare auxiliary capacity in such a part, and can use area effectively.

[0022]

[Example]

[Example 1] The making process sectional view of this example is shown in drawing 3 , and a making process plan is shown in drawing 2 . The number of drawing 2 and drawing 3 corresponds. The numeric value of the thickness and others in the following examples is not an example, and necessarily the optimal. Furthermore, even if those who carry out this invention change if needed, it does not interfere at all.

[0023] First, the amorphous silicon film is formed with a plasma-CVD method or a reduced pressure heat CVD method in thickness of 500A on a glass substrate 11. Although it is desirable on a glass substrate that the thickness of 3000A forms the oxidation silicon film by the spatter or the plasma-CVD method as substrate film, if it is on a quartz-glass substrate, it is not necessary in it to prepare especially the substrate film. Next, the barrier layer 12 of a thin film transistor is obtained by using the amorphous silicon film as the crystalline silicon film, and etching this with well-known annealing techniques, such as heating or an exposure of laser light.

[0024] Next, by the plasma-CVD method, the reduced pressure heat CVD method, or the spatter, the oxidation silicon film 13 is formed in thickness of 1000A as gate dielectric film. And the gate line (gate electrode) 14 is obtained by forming the polycrystal silicon film which has phosphorus in thickness of 5000A with a reduced pressure CVD method, and etching this. ( Drawing 3 (A) )

[0025] Next, they are  $5 \times 10^{15}$  atom / [  $5 \times 10^{14}$  - ]  $\text{cm}^3$  about the ion of Lynn which is the impurity which gives N type. The source 15 and a drain 16 are formed by pouring in with a dose. All serve as N type. The field where impregnation of impurity ion was performed is activated after impregnation of impurity

ion by performing heat-treatment, the exposure of laser light, or the exposure of strong light.

[0026] Next, with a well-known insulating material stratification technique, the layer insulation object 17 of oxidization silicon with a thickness of 5000A is formed, the layer insulation object 17 and gate dielectric film 13 are etched, and the contact hole which reaches the source 15 and a drain 16 is punctured. And the source line 18 and the metal wiring (auxiliary capacity electrode) 19 are formed with a well-known metal wiring formation technique. ( Drawing 3 (B) )

[0027] Signs that the circuit obtained at the process so far was seen from the top are shown in drawing 2 (A). A number corresponds to the thing of drawing 3. ( Drawing 2 (A) )

[0028] Next, a silicon nitride film 20 is formed by the plasma-CVD method using a silane, ammonia or a silane, N<sub>2</sub>O, or a silane, ammonia and N<sub>2</sub>O. This silicon nitride film 20 forms membranes in thickness of 500A 250-1000A and here. The approach of using a JIKURORU silane and ammonia is sufficient as the membrane formation approach of this silicon nitride film. Moreover, it may depend on the other approaches [ also using a reduced pressure heat CVD method and an optical CVD method ] further.

[0029] Then, at least 8000A or more of polyimide layers 21 is preferably formed in thickness of 1.5 micrometers with a spin coating method. The front face of a polyimide layer is formed evenly. In this way, the layer insulation object which consists of a silicon nitride layer 20 and a polyimide layer 21 is formed. And the polyimide layer 21 is etched and the aperture 22 for auxiliary capacity is formed. ( Drawing 3 (C) )

[0030] In addition, since silicon nitride may be etched depending on the etchant used in the case of etching of the polyimide layer 21, 50-500A in thickness and the 200A oxidation silicon film may be prepared between a silicon nitride layer and a polyimide layer for protection of silicon nitride. Furthermore, the titanium film with a thickness of 1000A is formed by the sputtering method. Of course, metal membranes, such as chromium film and aluminum film, may be used, and other membrane formation approaches may be used. And this is etched and the black matrix 23 is formed. The black matrix 23 is formed so that the hole for auxiliary capacity formed previously may be covered. ( Drawing 3 (D) )

[0031] Signs that the hole 22 and the black matrix 23 for auxiliary capacity which are acquired at the process so far were seen from the top are shown in drawing 2 (B). A number corresponds to the thing of drawing 1. Auxiliary capacity is formed in the part to which the black matrix 23 lapped with the hole 22 for auxiliary capacity. Moreover, the contact hole of a pixel electrode is behind formed in the field 31 to which the black matrix 23 does not lap with the metal wiring 19. ( Drawing 2 (B) )

[0032] Furthermore, as a layer insulation object, the polyimide film 24 with a thickness of 5000A is formed, the polyimide film 21 and 24 and the silicon nitride layer 20 of a field 31 are etched, and the contact hole which reaches the metal wiring 19 is formed. Furthermore, the ITO (in DIUMU stannic acid ghost) film with a thickness of 1000A is formed by the sputtering method, this is etched and the pixel electrode 25 is formed. ( Drawing 3 (E) )

[0033] In this way, a active-matrix circuit is completed. Like this example, when an insulating layer is formed with the polyimide film, flattening is easy and effectiveness is large. In this example, auxiliary capacity is obtained by the part 22 with which the black matrix 23 and a drain 16 lap, and a dielectric is the silicon nitride layer 17.

[0034] [Example 2] The plan of the making process of this example is shown in drawing 4. This example of the making process itself is almost the same as that of an example 1, and a number corresponds to the thing of an example 1. Circuit arrangement differs from the example 1 and this example shows how (a substantial numerical aperture is raised) to form a pixel effectively by preparing auxiliary capacity in the part which disclination tends to generate.

[0035] First, generating of disclination is explained using drawing 5. Drawing 5 is the thing of the same circuit arrangement as the pixel produced in the example 1. As shown in drawing 5, in the indicating equipment which contact 31 of a pixel electrode is formed in the upper right of a pixel, and rubbing is performed from the upper right of drawing in the direction of lower left (it is cautious of differing from

the upper right from the lower left), and performs source line reversal actuation (the actuation approach and the dot reversal actuation which makes mutually the signal impressed between adjoining source lines the thing of reversed polarity also include), it is easy disclination producing into the part 30 at the upper right of a pixel. Since this part is unsuitable for using for a display, to cover by BM is desired.  
( Drawing 5 )

[0036] Then, as shown in drawing 4 (A), like an example 1, arrangement of the metal wiring 19 is not prepared on a pixel, but is prepared in the right-hand side of a pixel. ( Drawing 4 (A)) Further, an aperture 22 is formed on the metal wiring 19, and BM23 is formed on it. It is effective, if it prepares in the lower right field 31 as contact of a pixel electrode is also shown in drawing 4 (B). ( Drawing 4 (B))

[0037] In this way, auxiliary capacity is formed in the part which disclination tends to produce. This example moved preparing-in pixel upside auxiliary capacity to the left in the circuit of an example 1, and the area of opening on a circuit design is the same. However, a substantial more big opening area can be obtained by piling up disclination and auxiliary capacity (or BM).

[0038] [Example 3] The plan of the making process of this example is shown in drawing 6 . This example of the making process itself is almost the same as that of an example 1, and a number corresponds to the thing of an example 1. This example aims at effective utilization of area more, when it changes arrangement of the barrier layer of a thin film transistor, although arrangement of auxiliary capacity is substantially [ as an example 2 ] the same.

[0039] In this example, the direction of rubbing is the upper right from the lower left, and disclination tends to produce it into the part at the lower left of a pixel in this case. In an example 2, although preparing auxiliary capacity in the part which such disclination tends to produce was shown, in this example, a part of barrier layer of the thin film transistor of the next line is prepared in this part. That is, the branch of a gate line is removed and it is made the shape of a straight line, and it arranges so that a barrier layer may cross this, at the same time it arranges arrangement of the metal wiring 19 on the left-hand side of a pixel, as shown in drawing 6 (A). ( Drawing 6 (A))

[0040] Furthermore, an aperture 22 is formed on the metal wiring 19, and BM23 is formed on it.  
( Drawing 6 (B))

In this way, a part of auxiliary capacity and thin film transistor are formed in the part which disclination tends to produce. In the circuit of an example 2, the efficient utilization of the part to which the branch of a gate line became unnecessary, and area of this example was attained.

[0041] [Example 4] The plan of the making process of this example is shown in drawing 8 , and the body and the circuit diagram of a thin film transistor of this example are shown in drawing 7 . This example of the making process itself is almost the same as that of an example 1, and a number corresponds to the thing of an example 1. Moreover, the number of drawing 7 and drawing 8 also corresponds mutually. This example aims at effective utilization of area for the property of a thin film transistor from slight height, when it changes arrangement of the barrier layer of a thin film transistor, and a gate electrode, although arrangement of auxiliary capacity is substantially [ as an example 2 ] the same.

[0042] Since rubbing is made at the upper right from the lower left as well as an example 3, disclination also tends to produce this example into the part at the lower left of a pixel. In an example 2, although preparing auxiliary capacity in such a part being shown, and preparing a part of barrier layer of the thin film transistor of auxiliary capacity and a single gate (single gate) in an example 3 was shown, in this example, the barrier layer and gate electrode of a thin film transistor of a triple gate (3-fold gate) are also prepared in this part.

[0043] First, the outline of the triple gate thin film transistor of this example is explained using drawing 7 (A). This thin film transistor forms a branch 29 in the gate line 14, and makes it the structure of lapping as a barrier layer 12 shows in a gate line, its branch, and drawing. The crossing parts 26-28 serve as a transistor, respectively ( drawing 7 (A)).

[0044] That is, as shown in drawing 7 (B), three thin film transistors serve as structure linked to a serial between the source line 18 and the metal wiring 19. ( Drawing 7 (B))

The effective thing is known especially if such a multiplex transistor is used as a switching transistor of a active matrix (JP,5-44195,B).

[0045] Although the thin film transistor of such structure occupies the part at the lower left of the pixel of the next line, since this part is a field which disclination tends to generate, this does not bring about decline in a numerical aperture like examples 2 and 3. That is, as shown in drawing 8 (A), a branch 29 is formed in the gate line 14, and it arranges so that a barrier layer 12 may intersect the gate line 14 and its branch 29 3 times. Furthermore, the metal wiring 19 is arranged on the left-hand side of a pixel, as shown in drawing. ( Drawing 8 (A))

[0046] Furthermore, an aperture 22 is formed on the metal wiring 19, and BM23 is formed on it. ( Drawing 8 (B))

In this way, a part of auxiliary capacity and thin film transistor are formed in the part which disclination tends to produce. Auxiliary capacity may be far small when it considers as 3-fold gate thin film transistor like the circuit of an example 2 at the point which needs the branch of a gate line, although this example is more disadvantageous than the thing of an example 3. Therefore, synthetically, this example excels the thing of an example 3 in the property.

[0047] [Example 5] The making process sectional view of this example is shown in drawing 11 , and a making process plan is shown in drawing 9 . The number of drawing 9 and drawing 11 corresponds and shows a thing equivalent to that to which it points in the example of further others. This example changes arrangement of auxiliary capacity in the pixel circuit which has the laminated structure shown in the example 1.

[0048] The barrier layer 12 of a thin film transistor is obtained by forming the amorphous silicon film with a plasma-CVD method or a reduced pressure heat CVD method in thickness of 500A like an example 1 on the glass substrate 11 with which the suitable substrate film was formed, next using the amorphous silicon film as the crystalline silicon film, and etching this with a well-known annealing technique.

[0049] Next, the oxidation silicon film 13 is formed in thickness of 1000A as gate dielectric film. And the gate line (gate electrode) 14 is obtained by forming the polycrystal silicon film which has phosphorus in thickness of 5000A with a reduced pressure CVD method, and etching this. ( Drawing 11 (A))

[0050] Next, they are  $5 \times 10^{15}$  atom /  $[ 5 \times 10^{14} - ]$  cm<sup>3</sup> about the ion of Lynn which is the impurity which gives N type. The source 15 and a drain 16 are formed by pouring in with a dose. Annealing treatment is performed after impregnation of impurity ion.

[0051] Next, the layer insulation object 17 of oxidation silicon with a thickness of 2 micrometers is formed with a well-known insulating material stratification technique. With a well-known flattening technique (for example, chemical mechanical polish (CMP) law), flattening of the insulating material front face is carried out. Then, the layer insulation object 17 and gate dielectric film 13 are etched, and the contact hole which reaches the source 15 and a drain 16 is punctured. And the source line 18 and the metal wiring (auxiliary capacity electrode) 19 are formed with a well-known metal wiring formation technique. Under the present circumstances, the metal wiring 19 covers a gate line. ( Drawing 11 (B))

[0052] Signs that the circuit obtained at the process so far was seen from the top are shown in drawing 9 (A). It being characteristic at this example is that the metal wiring 19 used as the electrode of auxiliary capacity covers a part of gate line 14. It is the factor in which the gate line 14 and the metal wiring 19 are both the things of protection-from-light nature, and narrow the area of a pixel. In the case of the example 1, since these were arranged so that it may not lap, the area of the part which can use only the part as a pixel was narrow. In this example, more area can also use the gate line 14 now for a pixel by repeating the metal wiring 19. ( Drawing 9 (A))

[0053] In addition, as shown in drawing 9 , in case the metal wiring 19 linked to the gate line which drives the pixel electrode concerned, and a pixel electrode is arranged in piles, it is desirable to make small capacity coupling between the gate line 14 and the metal wiring 19. Although the above-mentioned problem was solved by making thickness of a layer insulation object thick enough in this example, as

shown in drawing 10 , the metal wiring 19 may be repeated on the gate line of the next line. ( Drawing 10 )

[0054] Next, a silicon nitride film 20 is formed in thickness of 500Å 250–1000Å and here. Furthermore, the oxidation silicon film (not shown) with a thickness of 200Å is deposited. Then, at least 8000Å or more of polyimide layers 21 is preferably formed in thickness of 1.5 micrometers with a spin coating method. The front face of a polyimide layer is formed evenly. In this way, the layer insulation object which consists of a silicon nitride layer 20 and a polyimide layer 21 is formed. And the polyimide layer 21 is etched and the aperture 22 for auxiliary capacity is formed. ( Drawing 11 (C))

[0055] Furthermore, the titanium film with a thickness of 1000Å is formed by the sputtering method, this is etched, and the black matrix 23 is formed. The black matrix 23 is formed so that the hole 22 for auxiliary capacity formed previously may be covered.

[0056] Signs that the hole 22 and the black matrix 23 for auxiliary capacity which are acquired at the process so far were seen from the top are shown in drawing 9 (B). Auxiliary capacity is formed in the part to which the black matrix 23 lapped with the hole 22 for auxiliary capacity. In order to increase the area for opening, the hole 22 for auxiliary capacity is good to be formed so that it may lap with the gate line 14. Moreover, in order to form the contact hole of a pixel electrode, the field 31 where the black matrix 23 does not lap with the metal wiring 19 is also formed. ( Drawing 9 (B))

[0057] Furthermore, as a layer insulation object, the polyimide film 24 with a thickness of 5000Å is formed, the polyimide film 21 and 24 and the silicon nitride layer 20 of a field 31 are etched, and the contact hole which reaches the metal wiring 19 is formed. Furthermore, the ITO (in DIUMU stannic acid ghost) film with a thickness of 1000Å is formed by the sputtering method, this is etched and the pixel electrode 25 is formed. ( Drawing 11 (D))

[0058] In this way, a active-matrix circuit is completed. Although this example is related with TFT of a single gate, in TFT of many gates as shown in an example 4, it can carry out similarly, and the same effectiveness is acquired.

[0059] [Example 6] This example is shown using drawing 12 – drawing 15. The barrier layers 105, 106, 107, and 108 formed in the lowest layer are shown in drawing 12 . This barrier layer is formed on a glass substrate, a quartz substrate, and other insulating front faces.

[0060] The gate dielectric film which is not illustrated is formed on the barrier layer. The gate lines 101 and 102 are formed on gate dielectric film.

[0061] Here, the barrier layer part in the part at which a gate line crosses a barrier layer serves as a channel formation field.

[0062] The interlayer insulation film which is not illustrated is formed on the gate electrode, and the source lines 103 and 104 are formed on it.

[0063] The source line 104 is connected to the source field formed in the barrier layer 106 through contact 109.

[0064] Moreover, the drain (obtained by carrying out patterning of same film) electrodes 109, 110, 111, and 112 are formed using the source line and the ingredient.

[0065] This drain electrode is used in order to form capacity. Moreover, it is used as what constitutes a part of BM.

[0066] The part into which the drain wiring 110 shown by 113 extended is a pattern for earning capacity value.

[0067] The drain electrode has wrap structure in the area more than one half of a barrier layer. Predetermined auxiliary capacity value can be earned by considering as such structure, without reducing a numerical aperture greatly.

[0068] What is shown in drawing 13 is in the condition which formed the silicon nitride film which is not illustrated in addition to the condition which shows in drawing 12 , and formed the capacity lines 113 and 114 on it.

[0069] This silicon nitride film that is not illustrated functions as a dielectric of auxiliary capacity.



[0070] What is shown in drawing 14 is in the condition which formed the interlayer insulation film further and formed the pixel electrodes 115, 116, 117, 118, 119, 120, 121, 122, and 123 on the capacity lines 113 and 114 shown in drawing 13 as it is also at ITO on it.

[0071] With the configuration shown in this example, since auxiliary capacity is formed as it covers and hangs above TFT, the numerical aperture of a pixel can be made high as much as possible.

[0072] Moreover, large capacity can be acquired by considering as the configuration which forms capacity between capacity lines using the drain electrode (this electrode being formed in source wiring and coincidence) formed between a drain field and a pixel electrode. That is, since thickness of the dielectric film (in this case, silicon nitride film) which constitutes auxiliary capacity can be made thin when such a configuration is adopted, a large capacity can be taken.

[0073]

[Effect of the Invention] As shown above, the conductive film used as a black matrix was used as the electrode, and the approach of forming auxiliary capacity between this, a source line, and metal wiring of this layer was proposed.

[0074] Since this configuration uses the upper part section of TFT as a capacity again, it can raise the numerical aperture of a pixel.

[0075] Although the example showed the example which uses the thin film transistor of a top gate mold, since this invention is amelioration about the structure above a source line, it is clear that it can carry out similarly in the thin film transistor of a bottom product gate mold. Thus, this invention is useful on industry.

---

[Translation done.]

#### **\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram of a general active-matrix circuit is shown.

[Drawing 2] The making process plan of the active-matrix circuit of an example 1 is shown.

[Drawing 3] The making process sectional view of the active-matrix circuit of an example 1 is shown.

[Drawing 4] The making process plan of the active-matrix circuit of an example 2 is shown.

[Drawing 5] Drawing explaining disclination.

[Drawing 6] The making process plan of the active-matrix circuit of an example 3 is shown.

[Drawing 7] The outline and circuit diagram of a thin film transistor of an example 4 are shown.

[Drawing 8] The making process plan of the active-matrix circuit of an example 4 is shown.

[Drawing 9] The making process plan of the active-matrix circuit of an example 5 is shown.

[Drawing 10] The plan of the active-matrix circuit relevant to an example 5 is shown.

[Drawing 11] The making process sectional view of the active-matrix circuit of an example 5 is shown.

[Drawing 12] The plan showing the configuration of an example 6.

[Drawing 13] The plan showing the configuration of an example 6.

[Drawing 14] The plan showing the configuration of an example 6.

[Description of Notations]

- 1 Data Driver Line
- 2 Gate Driver Circuit
- 3 Active-Matrix Circuit Field
- 4 Gate Line
- 5 Source Line
- 6 Thin Film Transistor (TFT)
- 7 Pixel Electrode
- 8 Auxiliary Capacity
- 11 Glass Substrate
- 12 Barrier Layer
- 13 Oxidation Silicon Film (Gate Dielectric Film)
- 14 Gate Line (Gate Electrode)
- 15 Source
- 16 Drain
- 17 Oxidation Silicon (Layer Insulation Object)
- 18 Source Line
- 19 Metal Wiring (Auxiliary Capacity Electrode)
- 20 Silicon Nitride Layer
- 21 24 Polyimide layer
- 22 Aperture (Auxiliary Capacity)
- 23 Light-shielding Film (Black Matrix)
- 25 Pixel Electrode
- 26, 27, 28 Thin film transistor
- 29 Branch of Gate Line
- 30 Part Which Disclination Tends to Produce
- 31 Part Which Forms Contact Hole

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CORRECTION OR AMENDMENT**

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law

[Category partition] The 2nd partition of the 6th category

[Publication date] February 24, Heisei 17 (2005. 2.24)

[Publication No.] JP,10-274789,A

[Date of Publication] October 13, Heisei 10 (1998. 10.13)

[Application number] Japanese Patent Application No. 9-95069

[The 7th edition of International Patent Classification]

G02F 1/136

G02F 1/1343

H01L 29/786

H01L 21/336

[FI]

G02F 1/136 500

G02F 1/1343

H01L 29/78 612 C

H01L 29/78 613 Z

H01L 29/78 616 K

H01L 29/78 616 S

[Procedure amendment]

[Filing Date] March 18, Heisei 16 (2004. 3.18)

[Procedure amendment 1]

[Document to be Amended] Description

[Item(s) to be Amended] The name of invention

[Method of Amendment] Modification

[The content of amendment]

[Title of the Invention] The display of a active-matrix mold

[Procedure amendment 2]

[Document to be Amended] Description

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[The content of amendment]

[Claim(s)]

[Claim 1]

The barrier layer which has a source field and a drain field,

The gate line containing a gate electrode,

The source line linked to said source field,

Metal wiring linked to said drain field,

The lower layer interlayer insulation film formed on said source line and said metal wiring,

The interlayer insulation film of the upper layer which has the aperture to which it becomes from a different ingredient from said lower layer interlayer insulation film, and said some of lower layer interlayer insulation films are exposed,

The conductive film formed on the interlayer insulation film of said upper layer, and said interlayer insulation film of the exposed lower layer,

It \*\*\*\*,

Said gate line has the part which laps with said aperture,

The display of the active-matrix mold characterized by forming the capacity which uses said conductive film and said metal wiring as an electrode, and uses said interlayer insulation film of the exposed lower layer as a dielectric in said aperture.

[Claim 2]

The barrier layer which has a source field and a drain field,

The gate line containing a gate electrode,  
The source line linked to said source field,  
Metal wiring linked to said drain field,  
The lower layer interlayer insulation film formed on said source line and said metal wiring,  
The interlayer insulation film of the upper layer which has the aperture to which it becomes from a different ingredient from said lower layer interlayer insulation film, and said some of lower layer interlayer insulation films are exposed,

The conductive film formed on the interlayer insulation film of said upper layer, and said interlayer insulation film of the exposed lower layer,

It \*\*\*\*,

In said aperture, the capacity which uses said conductive film and said metal wiring as an electrode, and uses said interlayer insulation film of the exposed lower layer as a dielectric is formed,

Said barrier layer is the display of the active-matrix mold characterized by having the part covered with said capacity.

[Claim 3]

The barrier layer which has a source field and a drain field,

The 1st gate line containing a gate electrode,

The source line linked to said source field,

Metal wiring linked to said drain field,

The lower layer interlayer insulation film formed on said source line and said metal wiring,

The interlayer insulation film of the upper layer which has the aperture to which it becomes from a different ingredient from said lower layer interlayer insulation film, and said some of lower layer interlayer insulation films are exposed,

The conductive film formed on the interlayer insulation film of said upper layer, and said interlayer insulation film of the exposed lower layer,

It \*\*\*\*,

Said metal wiring has the part which laps with the 2nd gate line of the next line of said 1st gate line,

Said 2nd gate line has the part which laps with said aperture,

The display of the active-matrix mold characterized by forming the capacity which uses said conductive film and said metal wiring as an electrode, and uses said interlayer insulation film of the exposed lower layer as a dielectric in said aperture.

[Claim 4]

It is the display of the active-matrix mold characterized by covering 50% or more of area of said barrier layer by said capacity in claim 2.

[Claim 5]

It is the display of the active-matrix mold characterized by said conductive film having protection-from-light nature in any 1 term of claim 1 thru/or claim 4.

[Claim 6]

It is the display of the active-matrix mold characterized by said conductive film being a capacity line in any 1 term of claim 1 thru/or claim 5.

[Claim 7]

It is the display of the active-matrix mold characterized by said lower layer interlayer insulation film using silicon nitride, an aluminum oxide, or alumimium nitride as a principal component in any 1 term of claim 1 thru/or claim 6.

[Claim 8]

It is the display of the active-matrix mold characterized by the interlayer insulation film of said upper layer using organic resin as a principal component in any 1 term of claim 1 thru/or claim 7.

[Claim 9]

It is the display of the active-matrix mold characterized by the thickness of said lower layer interlayer

insulation film being 100nm or less in any 1 term of claim 1 thru/or claim 8.

[Claim 10]

Said metal wiring is the display of the active-matrix mold characterized by being prepared in the part which disclination tends to generate [ in / on any 1 term of claim 1 thru/or claim 9, and / each pixel ].

[Claim 11]

Said metal wiring is the display of the active-matrix mold characterized by being prepared in the part which begins [ in / on any 1 term of claim 1 thru/or claim 9, and / each pixel ] rubbing.

[Claim 12]

It is the display of the active-matrix mold characterized by said metal wiring being a drain electrode in any 1 term of claim 1 thru/or claim 11.

[Procedure amendment 3]

[Document to be Amended] Description

[Item(s) to be Amended] 0033

[Method of Amendment] Modification

[The content of amendment]

[0033]

In this way, a active-matrix circuit is completed. Like this example, when an insulating layer is formed with the polyimide film, flattening is easy and effectiveness is large. In this example, auxiliary capacity is obtained by the part 22 with which the black matrix 23 and a drain 16 lap, and a dielectric is the silicon nitride layer 20.

[Procedure amendment 4]

[Document to be Amended] Description

[Item(s) to be Amended] 0063

[Method of Amendment] Modification

[The content of amendment]

[0063]

The source line 104 is connected to the source field formed in the barrier layer 106 through contact 129.

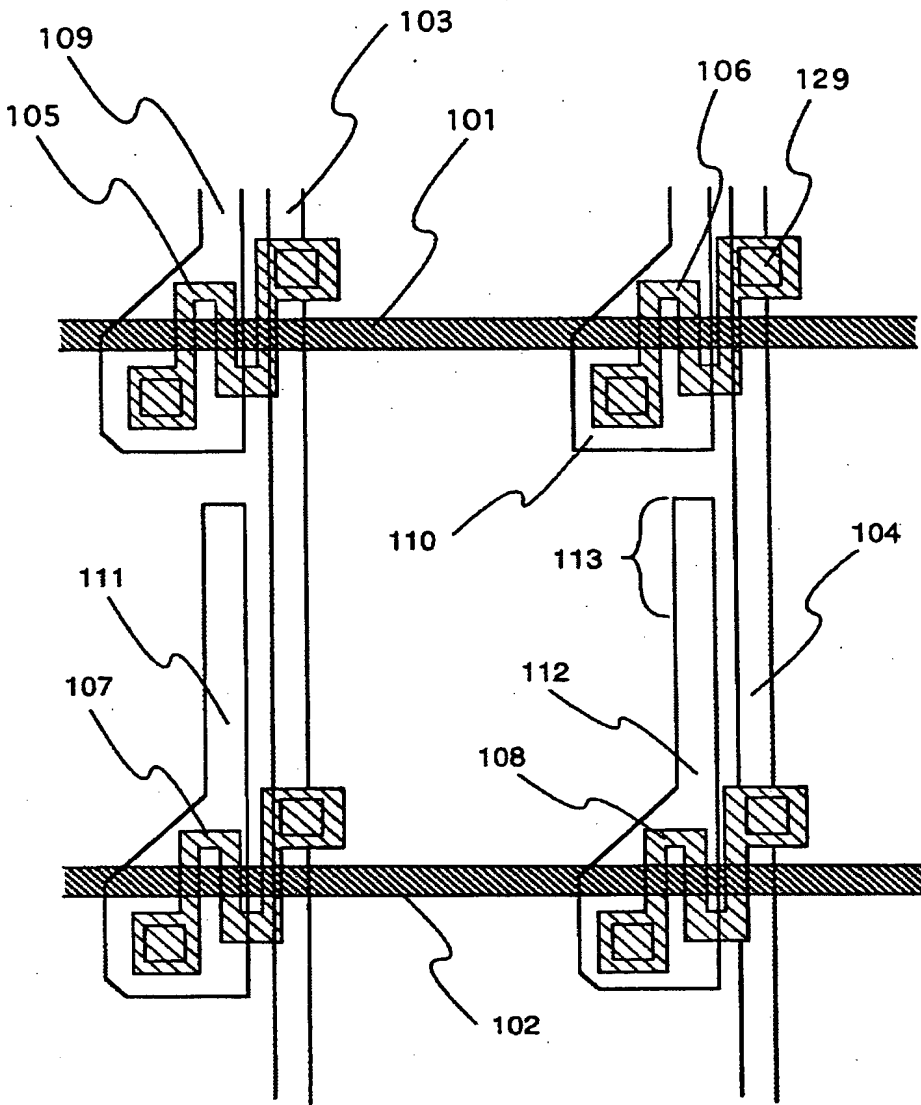
[Procedure amendment 5]

[Document to be Amended] DRAWINGS

[Item(s) to be Amended] drawing 12

[Method of Amendment] Modification

[The content of amendment]



[Translation done.]